

## ⑫ 公開特許公報(A)

昭63-167500

⑮ Int. Cl.<sup>4</sup>

G 11 C 29/00

識別記号

3 0 2

庁内整理番号

7737-5B

⑬ 公開 昭和63年(1988)7月11日

審査請求 未請求 発明の数 1 (全8頁)

⑭ 発明の名称 半導体記憶装置

⑯ 特 願 昭61-314109

⑰ 出 願 昭61(1986)12月27日

⑱ 発 明 者 日 高 秀 人 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

## 明 細 書

## 1. 発明の名称

半導体記憶装置

## 2. 特許請求の範囲

(1) 複数のメモリセルを有するメモリセルアレイおよびこのメモリセルアレイと同じ半導体基板上に形成された誤り検出・訂正機能部を備えており、前記メモリセルアレイは、外部からのデータを記憶するデータビットメモリセルアレイと、誤り検出・訂正機能のためのパリティビットを記憶するパリティビットメモリセルアレイとからなっており、前記誤り検出・訂正機能部は前記メモリセルアレイに記憶されたデータを内部に備えたアドレスカウンタによって指定される誤り検出・訂正コード部ごとに順次誤り検出・訂正するように構成されており、さらに

電源投入後前記アドレスカウンタが一巡するまで前記誤り検出・訂正機能部の誤り検出・訂正機能を停止させ、かつその誤り検出・訂正機能停止時には、前記パリティビットメモリセルアレイに

前記データビットメモリセルアレイから読出したデータに基づいて発生した誤り検出・訂正用チェックビットデータをそのまま書込むための誤り検出・訂正制御手段を備えることを特徴とする半導体記憶装置。

(2) 前記誤り検出・訂正機能部は、その内部に備えた前記アドレスカウンタをメモリ動作のサイクルごとにカウントしていき、それによってすべての誤り検出・訂正コード部を巡回する動作を行なうように構成されている、特許請求の範囲第1項記載の半導体記憶装置。

(3) 前記誤り検出・訂正機能部は、

前記外部からのデータに基づいて前記パリティビットメモリセルアレイに書込むためのライトチェックビットを発生するライトチェックビット発生回路と、

前記データビットメモリセルアレイから読出したデータに基づいて、リードチェックビットを発生するリードチェックビット発生回路と、

前記リードチェックビットと、前記パリティ

ビットメモリセルアレイから読出した前記ライトチェックビットに基づいて、誤りの有無およびその位置を表わすシンドロームデータを発生するシンドロームデータ発生手段と、

前記メモリセルアレイから読出したデータを前記シンドロームデータに基づいて訂正するデータ訂正回路と、

前記データ訂正回路によって訂正されたデータを前記メモリセルアレイの該当の位置に再書込するための再書込手段とを含む、特許請求の範囲第1項または第2項記載の半導体記憶装置。

### 3. 発明の詳細な説明

#### 【産業上の利用分野】

この発明は、半導体記憶装置に関し、特に誤り検出・訂正機能、すなわちECC(Error Check and Correction)機能を備えた半導体記憶装置に関する。

#### 【従来の技術】

最近、半導体記憶装置の高集積化に伴ない、アルファ値の増加によるメモリセルの誤動作、すな

わちソフトエラーが問題になっている。この対策として、ECC機能をメモリセルと同一の半導体基板上に備えたオンチップECCが実現されている。

第6図に、ハミング符号を誤り訂正符号として用いた従来のオンチップECC搭載の半導体記憶装置の回路ブロック図を示す。ECC機能は、一般には以下のように実現される。

(1) データ書込時に、入力するビットを含む複数ビット( $m$ ビットとする)のメモリセルデータに対して、パリティビット( $k$ ビットとする)を発生させ、データビット、パリティビットをそれぞれメモリセルアレイ2のデータビット領域3、チェックビット領域4に書込む。この場合のパリティビットを発生する回路が、第6図中のライトチェックビット発生回路1である。この( $m+k$ )ビットのブロック(以下、ECCコード語と呼ぶ)がECC動作の単位となり、誤り検出・訂正はこのECCコード語ごとに行なわれる。

(2) データ読出時に、前述の $m$ ビットのデ

ータビットと、 $k$ ビットのチェックビットを同時に読出し、 $m$ ビットのデータから、新たなチェックビット(これをリードチェックビットと呼ぶ)を発生させ、これと、メモリセルアレイ2のチェックビット領域4から読出されたチェックビット(ライトチェックビット)とのビットごとの排他的論理和をとる。この結果が“A L L O”(リードチェックビットとライトチェックビットが一致していることに相当)ならば、誤りなし、それ以外では誤りありと判定する。上記の排他的論理和をシンドロームと呼ぶ。シンドロームは、 $k$ ビットからなるデータ列である。以上の操作は、第6図中のリードチェックビット発生回路5およびシンドローム発生回路6で行なう。

(3) 上記のシンドロームには、誤りビットの位置情報が含まれており、これをデコードすることにより、 $m$ ビットのデータビットおよび $k$ ビットのチェックビット(パリティビット)のうちのどのビットが誤りであるかがわかる。これにより、これらのうちの誤りビット(1ビットあるい

は複数ビット)を訂正(反転)する。これを行なうのが、第6図中のシンドロームデコーダ7およびデータ訂正回路8である。一般には、 $m$ ビットの訂正されたデータ群中、外部データ出力となるのは $m'$ ビット( $m' \leq m$ )であり、外部データ出力は入力アドレス情報に従って選択、出力される。これは、第6図中のアドレスデコーダ9により行なう。このアドレスデコーダ9は、多くの場合、通常アクセスに使用するデコーダと大部分兼用することができる。

以下には、第6図の各ブロックの構成および機能についてさらに詳細に説明する。第6図中で、ライトチェックビット発生回路1、リードチェックビット発生回路5は、 $m$ ビットのデータビットから、誤り訂正/検出符号の構成に従って、チェックビットを発生する回路であり、論理操作は両者同じである。また、シンドローム発生回路6は、前述のごとく、メモリセル2から読出されたチェックビットと、データビットから新たに発生したチェックビット(リードチェックビット)との、

ビットごとの排他的論理和をとる回路である。シンドロームデコーダ7は、 $k$  ビットのシンドロームから、 $n$  ビットのデータビットおよび $k$  ビットのチェックビットのうちの誤りビットを指定する符号( $n+k$  ビット)に変換するデコーダであり、たとえば、 $n+k$  ビットのうち、誤りビット位置のみ“1”、他は“0”となる出力を導出する。データ訂正回路8は、上記シンドロームデコーダ7の出力と、訂正されるべきデータビットおよびチェックビットとのビットごとの排他的論理和をとる部分であり、これにより、誤りビットのみデータが反転される。誤り訂正された符号( $n+k$  ビット)は、再びメモリセルアレイ2中の該当位置に書込まれる。さらに、訂正された $n'$  ビット( $n' < n$ )の出力が、アドレスデコーダ9により選択され、外部出力となる。

オンチップECC機能を、ハードエラー救済のみならず、ソフトエラー救済にも用いる場合、どのメモリセルについても、ある一定以下の時間間隔でECC機能を作用させることが、データ誤り

の蓄積を防ぐ意味で重要である。このため、ダイナミック型半導体記憶装置では、そのリフレッシュサイクル時に、ECC動作を行なうことが提案されている。なぜならば、リフレッシュサイクルは、ある一定時間間隔以下で必ず行なわれるからである。このような構成例を第7図に示す。第7図中で、アドレスカウンタは、リフレッシュ・ローアドレスを発生するローアドレスカウンタ10と、1本のローのうちのどのECCコード語に対してECCを行なうかを指定するコラムアドレスカウンタ11とからなる。コラムアドレスカウンタ11は、ローアドレスカウンタ10の上位にあり、1本のローのうちに、ECCコード語が、2<sup>n</sup>語含まれる場合には、 $n$ 桁のカウンタとなる。これらローおよびコラムカウンタ10、11は、リフレッシュサイクルが行なわれることにカウント動作を行ない、ローアドレスカウンタ10は2<sup>p</sup>回のサイクルごとに一巡する。したがって、コラムアドレスカウンタ11も合わせると、2<sup>n+p</sup>回のサイクルごとに一巡するので、リフレッシュ動

作は2<sup>p</sup>回のサイクルごとに一巡し、ECC動作の対象となるECCコード語は2<sup>n+p</sup>回のサイクルごとに一巡することになる。

#### 〔発明が解決しようとする問題点〕

一般に、メモリ素子は、電源投入直後はメモリセル内容が不定であり、データビット、パリティビットともに、どのような蓄積データになっているか不明である。このような状態で、ECC機能を動作させつつ、メモリ動作(読出、書込)を始めると、以下のような問題が生ずる。

(1) データビット、パリティビットに、互いに無関係なランダムデータが蓄積された状態でECC機能を動作させると、一般には「多ビット誤り状態」になり、ECC符号の訂正能力を越え、蓄積データはランダムに書換えられる(破壊される)ことになる。

(2) 上記(1)の問題を避けるため、メモリセルアレイ2に予め或るデータを書込む動作(たとえばオールクリア動作)を行なうことが考えられるが、この場合にもこれと並行してECC

機能が動作していると、上記(1)と同じ理由で、クリアしたデータビット領域3のデータが破壊されるので、クリア動作が確実に行なわれない。

したがって、従来のオンチップECC機能を備えた半導体記憶装置は、電源投入直後のチェックビット領域4のデータが不定であることにより、正しいデータ(データビット領域3のデータ)を誤って訂正してしまう(すなわち、データの破壊)という問題点があった。

この発明は上記のような問題点を解消するためになされたもので、電源投入直後にデータの破壊が生じないような半導体記憶装置を提供することを目的とする。

#### 〔問題点を解決するための手段〕

この発明にかかる半導体記憶装置は、電源投入後、ECC機能部のECC機能を停止させてパリティビットメモリセルアレイのデータをデータビットメモリセルアレイのデータに適合させ、これがすべてのECCコード語を一巡した後、ECC機能部のECC機能が動くようにしたものであ

る。

#### 〔作用〕

この発明におけるECC制御手段は、電源投入後ECCサイクルが一巡するまでは、ECC機能部のECC動作を停止させるとともに、データビットメモリセルアレイから読出したデータに基づいて発生したECC用チェックビットデータをそのままパリティビットメモリセルアレイに書込むことにより、パリティビットメモリセルアレイのデータをデータビットメモリセルアレイのデータに適合させる。

#### 〔実施例〕

第1図はこの発明の一実施例の全体構成を示す概略ブロック図である。この実施例は以下の点を除いて第6図の従来例と同様であり、相当する部分には同一の参照番号を付してその説明を省略する。図において、この実施例では、メモリセルアレイ2のチェックビット領域4から読出された $k$ ビットのチェックビットは、トランスファゲート12を介してデータ訂正回路80に与えられる。

イ2からのデータビット( $n$ ビット)およびメモリセルアレイ2またはリードチェックビット発生回路5からのチェックビット( $k$ ビット)を含む( $n+k$ )ビットのデータDIは、インバータ15を介してトランジスタ16の一方導通端子に与えられるとともに、そのままトランジスタ17の一方導通端子に与えられる。一方、シンドロームデコーダ7の出力SYNIは、NANDゲート18の一方入力に与えられる。このNANDゲート18の他方入力には、第3図に示すE信号発生回路100からE信号が与えられる。NANDゲート18の出力は、インバータ19によって反転された後にトランジスタ16のゲートに与えられるとともに、そのままトランジスタ17のゲートに与えられる。トランジスタ16および17の各他方導通端子は互いに接続されており、この接続点からデータDI'が出力される。このデータDI'は、メモリセルアレイ2に書込むべきデータビット( $n$ ビット)およびチェックビット( $k$ ビット)を含む。

このトランスファゲート12のオン、オフは、第3図に示すE信号発生回路100から得られるE信号によって制御される。また、リードチェックビット発生回路5で発生される $k$ ビットのリードチェックビットは、シンドローム発生回路6に与えられるとともに、トランスファゲート13を介してデータ訂正回路80に与えられる。このトランスファゲート13のオン、オフは、インバータ14を通過した反転E信号によって制御される。なお、第1図中では、トランスファゲートが1個ずつしか図示されていないが、実際は $k$ ビットのデータバスの各々に対して1個ずつ、合計 $k$ 個のトランスファゲートが設けられている。データ訂正回路80は、E信号によってそのデータ訂正機能が制御されるように構成されている。

第2図は第1図に示すデータ訂正回路80の詳細を示す回路図である。なお、この第2図は1ビット分のみを示し、実際には同様の回路は( $n+k$ )ビットのデータの各々に1個ずつ、合計( $n+k$ )個存在する。図において、メモリセルア

以上のように構成されたデータ訂正回路80は、以下のように動作する。まず、E信号が“H”のときは、そのデータ訂正機能が能動化されており、シンドロームデコーダ7の出力SYNIに応じて以下の動作を行なう。すなわち、SYNIが“H”のときは、データ訂正ありの場合であり、データDIを反転したデータをデータDI'として出力する。一方、SYNIが“L”のときは、データ訂正なしの場合であり、データDIをそのままデータDI'として出力する。これに対し、E信号が“L”のときは、データ訂正回路80のデータ訂正機能が働かない。すなわち、この場合データ訂正回路80はSYNIの論理にかかわらず、データDIをそのままデータDI'として出力する。

第3図は前記E信号を発生するための回路を示す図である。図において、このE信号発生回路100は、第4図に示すローアドレスカウンタ10の出力RA1~RADを入力として受けるNORゲート101およびコラムアドレスカウンタ11の出力CA1~CANを入力として受けるNORゲ

ート102を含む。これらNORゲート101および102の出力はNANDゲート103に与えられる。NANDゲート103の出力信号S2は、2つのNORゲートで構成されるフリップフロップ104にリセット入力として与えられる。また、NANDゲート103の出力信号S2はNORゲート105の一方入力に与えられる。電源ラインと接地との間に直列に接続される抵抗106とコンデンサ107は時定数回路を構成しており、抵抗106とコンデンサ107の接続点から得られる出力はインバータ108の入力端に与えられる。このインバータ108の出力S1は、フリップフロップ104にセット入力として与えられるとともに、第4図に示すローアドレスカウンタ10およびコラムアドレスカウンタ11にオールクリア指令として与えられる。フリップフロップ104の出力はインバータ109によって反転された信号S3として前述のNORゲート105の他方入力に与えられる。このNORゲート105からE信号が出力される。

したところで“L”に反転する、したがって、インバータ108の出力は第5図に示すようなワンショットパルスとなる。このワンショットパルスによってフリップフロップ104がセットされ、インバータ109の入力は“L”となる。したがって、インバータ109の出力S3は“H”となる。一方、ローアドレスカウンタ10およびコラムアドレスカウンタ11は、信号S1のワンショットパルスによってALL“0”にクリアされ、その出力はすべて“L”になっている。そのため、NORゲート101、102の両出力が“H”となっており、応じて、NANDゲート103の出力S2は“L”となっている。そのため、NORゲート105の入力は、一方(S3)が“H”で、他方(S2)が“L”であるため、その出力であるE信号は“L”となっている。この状態は、リフレッシュサイクル(CASビフォアRASサイクル等)でアドレスカウンタ10、11が再びALL“0”からスタートし、2<sup>nd</sup>回インクリメントされて再びALL“0”になるまで継続され

第4図は第1図に示す実施例に対して与えられるアドレス入力が発生するためのアドレスカウンタを示す図である。図示のごとく、このアドレスカウンタは、第7図のアドレスカウンタと同様、ローアドレスカウンタ10とコラムアドレスカウンタ11とから構成される。但し、ローアドレスカウンタ10およびコラムアドレスカウンタ11には、第3図に示すインバータ108から信号S1が与えられており、各カウンタはこの信号S1にตอบสนองして、所定期間その出力がALL“0”を維持するように構成されている。

次に、第5図に示すタイミングチャートを参照して、第1図～第4図に示す実施例の動作を説明する。

まず、電源が投入されると、第3図に示すインバータ108の入力はすぐには電源電圧Vccに立ち上がらず、抵抗106とコンデンサ107で決まる時定数によって徐々に立ち上がる。そのため、インバータ108の出力S1は、電源投入直後“H”であり、その入力電位が所定電位まで上昇

る。したがって、電源投入後アドレスカウンタ10、11が一巡するまではE信号が“L”であり、第2図のデータ訂正回路80はデータ訂正を行わない。

アドレスカウンタ10、11が一巡して再びALL“0”になると、フリップフロップ104はアドレスカウンタ10、11のスタート時における信号S2の立ち上がりによって既にリセットされているので、信号S3は“L”となっている。そのため、NORゲート105の両入力が“L”となり、E信号は“H”に反転する。応じて、データ訂正回路80におけるデータ訂正が可能となる。

一方、第1図に示すトランスファゲート12、13は、E信号が“L”の間、トランスファゲート12がオフ、トランスファゲート13がオンとなっている。そのため、電源投入後アドレスカウンタ10、11が一巡するまでは、メモリセルアレイ2のチェックビット領域4から読出したチェックビットの代わりに、データビット領域3から

読出したデータに基づいてリードチェックビット発生回路5で作成されたリードチェックビットがデータ訂正回路80を介してメモリセルアレイ2のチェックビット領域4に再書込される。

上述のE信号が“L”時における動作は、いわばチェックビットのデータをデータビットのデータに適合させる(“誤りなし”の状態にする)ことであり、これをECCコード語を一巡するまで行なうと、全チェックビットのデータを、各々対応するデータビットのデータに適合させてからE信号が“H”になり、ここから誤り訂正が可能な状態となるので、電源投入直後のデータビット、チェックビットのデータの如何にかかわらず、“誤った訂正—データの破壊”は生じない。

なお、上記実施例では、電源投入直後に、2<sup>nd</sup>回のリフレッシュサイクルが缺く場合を示したが、これは、この間に通常アクセスサイクル(リード/ライトサイクル)が入る場合でも同様な効果を奏する。

また、誤り検出・訂正符号は、ハミング符号に

限らない。

#### 【発明の効果】

以上のように、この発明によれば、電源投入直後のメモリセルデータの如何によらず、誤訂正によるデータ破壊を防ぐことができ、外部からの操作を必要とせずに、信頼性の高い半導体記憶装置を得ることができる。

#### 4. 図面の簡単な説明

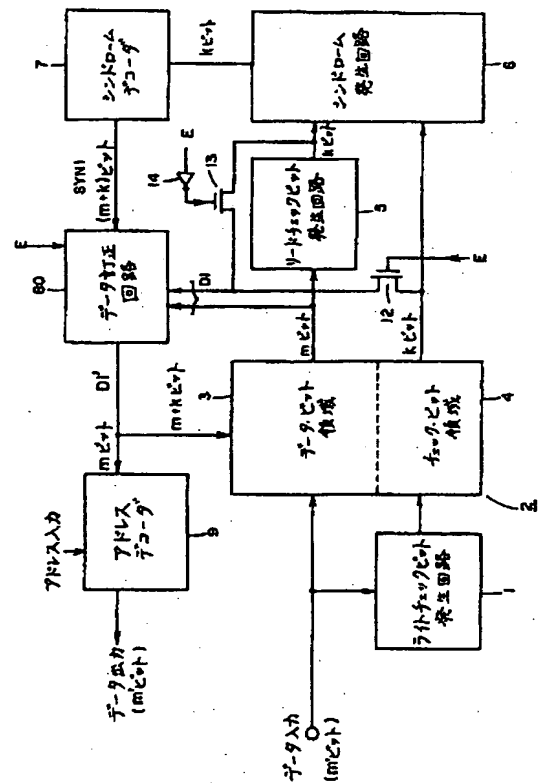
第1図はこの発明の一実施例を示す概略ブロック図である。第2図は第1図に示すデータ訂正回路80の詳細を示す回路図である。第3図は第1図に示す実施例で用いるE信号を発生するための回路を示す図である。第4図は第1図に示す実施例に与えられるアドレス入力を発生するためのアドレスカウンタの構成を示すブロック図である。第5図は第1図～第4図の動作を説明するためのタイミングチャートである。第6図はECC機能を搭載した従来の半導体記憶装置を示す概略ブロック図である。第7図は第6図に示す従来回路に与えられるアドレス入力を発生するためのアドレ

スカウンタの構成を示すブロック図である。

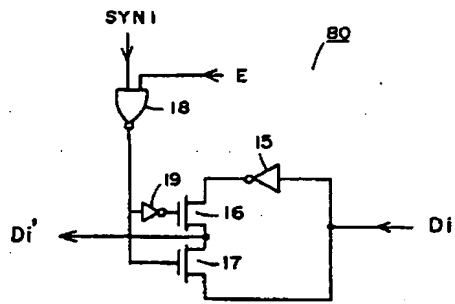
図において、1はライトチェックビット発生回路、2はメモリセルアレイ、3はデータビット領域、4はチェックビット領域、5はリードチェックビット発生回路、6はシンドローム発生回路、7はシンドロームコーダ、80はデータ訂正回路、9はアドレスデコーダ、10はローアドレスカウンタ、11はコラムアドレスカウンタ、12および13はトランスファゲートを示す。

代理人 大 岩 増 雄

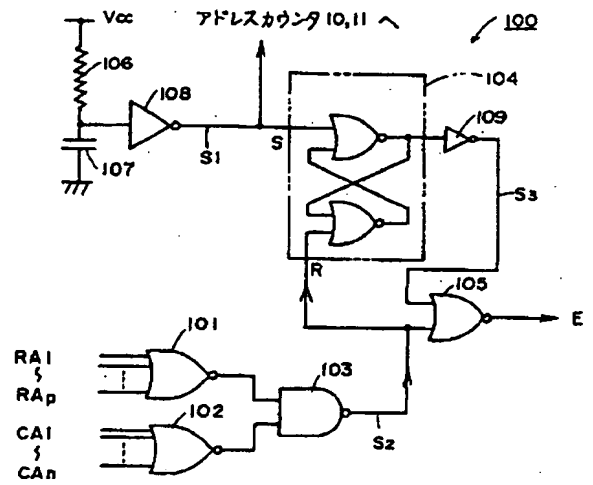
第1図



第 2 回



第 3 回



第 4 回

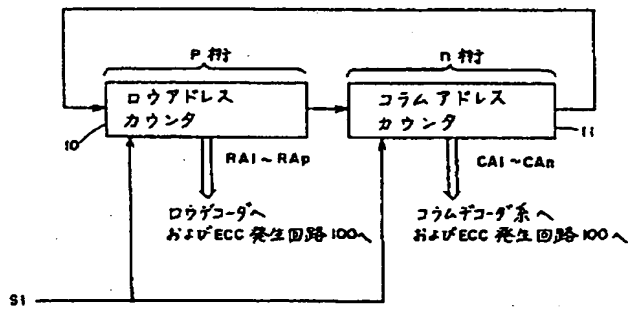
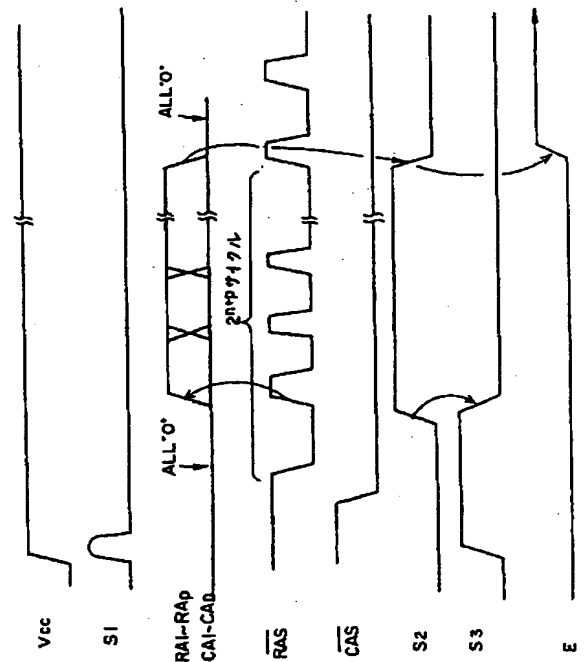
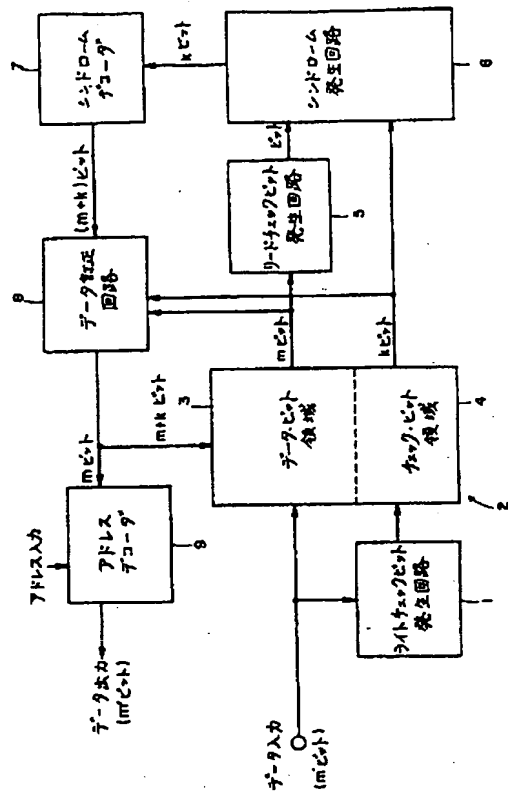


圖 5 終



第 6 圖



第七圖

